

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **04196350 A**(43) Date of publication of application: **16 . 07 . 92**

(51) Int. Cl

H01L 23/52(21) Application number: **02322727**(22) Date of filing: **28 . 11 . 90**(71) Applicant: **HITACHI LTD**(72) Inventor: **ISHIDA TOSHIHARU
SAKAGUCHI MASARU
SERIZAWA KOJI****(54) MULTICHIP SEMICONDUCTOR DEVICE**

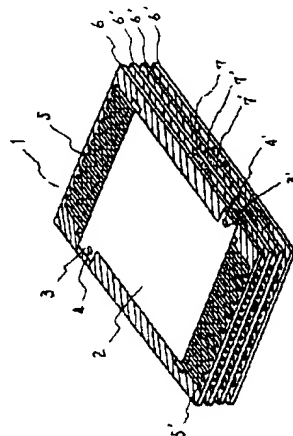
(57) Abstract:

PURPOSE: To facilitate the automatic assembly of a multichip semiconductor device and to prevent the generation of the misalignment of electrode leads with electrode patterns by a method wherein at the time of lamination of film carrier semiconductor devices (TABs), an ultraviolet-curing bonding agent is applied on one part of an assembly frame each time one step of the devices is laminated, the bonding agent is hardened and the assembly frame is fixed on the device.

CONSTITUTION: In the assembly of a multichip semiconductor device 1, an ultraviolet-curing bonding agent 7 or a thermosetting bonding agent is applied on one part of an assembly frame 6, the frame 6 is laminated on a TAB 2 and each time one step of the TAB is laminated, the bonding agent is irradiated with ultraviolet rays or heated, is cured and the frame 6 is fixed on the TAB 2. Thereby, even if an assembly frame 6 and a TAB 2 for the following step are mounted in order on the preceeding step, the generation of the positional deviation of outer leads to the frames and electrode patterns can be prevented and moreover, the agent 7 or the thermosetting bonding agent both of which have been cured has the effect of preventing the generation of the misalignment of the outer leads with the frames 6 at the

time of a solder reflow and the electrode patterns and the automatic assembly of the device 1 becomes possible.

COPYRIGHT: (C)1992,JPO&Japio



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-196350

⑮ Int. Cl.³

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)7月16日

H 01 L 23/52

7220-4M H 01 L 23/52

C

審査請求 未請求 請求項の数 2 (全4頁)

⑭ 発明の名称 マルチチップ半導体装置

⑰ 特 願 平2-322727

⑱ 出 願 平2(1990)11月28日

⑲ 発 明 者 石 田 寿 治 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

⑲ 発 明 者 坂 口 勝 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

⑲ 発 明 者 芹 沢 弘 二 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

マルチチップ半導体装置

2. 特許請求の範囲

1. フィルムキャリアテープに半導体チップを電気的に接続したフィルムキャリア半導体装置(TAB)を組立用枠を介して、2個以上積み重ねてなるマルチチップ半導体装置において、初段の組立用枠の1部分に紫外線硬化性接着剤もしくは熱硬化性接着剤を塗布した後、次段組立用枠との位置合わせを行ない、該組立用枠同志を貼り合わせ、紫外線照射あるいは加熱して接着剤を硬化させ固定した後、該次段の組立枠の該塗布接着剤の無い一方の面の1部分に紫外線硬化性接着剤もしくは熱硬化性接着剤を塗布し、一層目と同じく紫外線照射あるいは加熱して接着剤を硬化させ固定し、所定段数積層した後、はんだのリフローを行い、アウトリードと組立枠の電極とを接続して組立てたことを特徴としたマルチチップ半導体装置。

2. 紫外線硬化性接着剤もしくは熱硬化性接着剤を塗布した該組立用枠を所定段数積層した後、一括して、紫外線照射あるいは加熱して、該接着剤を硬化させ固定し、しかる後、はんだリフローを行ってアウトリードと該組立枠の電極とを接続して組立てたことを特徴としたマルチチップ半導体装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は半導体装置の構造とその製造法に係り、特にフィルムキャリアを用いた大容量マルチチップ半導体装置に関する。

(従来の技術)

半導体メモリは、大型コンピュータ、ワークステーション、パソコン、ワープロ等の情報機器に多量に使用されている。今後、これらの機器の高性能化、製品拡大がさらに進むことから、ここに使われている半導体メモリの需要も加速度的に増大していくものと予想される。これに対し、大容量のメモリを必要とする装置では、機器内での半

導体メモリが占める実装面積は増大する方向にあり、これが機器の小形、軽量化を阻害する最大の要因となっている。この問題の解決法として、その一つは従来から強力に押し進められているチップ内素子の高集積化による一チップ当りのメモリ容量増大である。また、他の一つはパッケージングされたメモリモジュールをプリント配線板に高密度に実装する方法であり、さらに、他の一つは、特開昭59-194460号及び特開昭61-183958号公報、特開昭59-205747に述べられているように、複数個の半導体チップを厚さ方向に積み重ねて高密度化を図るものである。これらのうち、チップ内素子の高集積化は従来技術の延長では解決出来ない局面に来ており、新技術、生産設備の開発が必要である。プリント板への高密度実装方法はモジュールの小形化、プリント板への両面実装、ZIP (Zig-zag-in-line Package) 部品の採用等が行われており、一個のチップを一パッケージングとしたモジュールを使う範囲ではこれ以上の大幅な高密度化は難しい状況にある。

る毎に、組立枠の一部分に紫外線硬化接着剤を塗布して、紫外線照射もしくは加熱して硬化させて、固定することにより達成される。

〔作用〕

すなわち、フィルムキャリアテープに半導体チップを電気的に接続したフィルムキャリア半導体装置(TAB)を組立用枠を介して、2個以上積み重ねてなるマルチチップ半導体装置の組立において、組立枠の一部分に紫外線硬化接着剤、もしくは熱硬化接着剤を塗布し、貼りあわせて一段積層する毎に、紫外線を照射、もしくは加熱して硬化させて、組立枠とTABを固定させるようにした。これにより、次段用の組立枠及びTABを前段に逐次搭載してもアウトリードと枠の電極パターンの位置ずれを防止することが出来る。又、硬化後の該紫外線硬化接着剤及び該熱硬化接着剤は、はんだリフロー時のアウトリードと組立枠及び電極との位置ずれ防止効果があり、これらによりマルチチップ半導体装置の自動組立が可能となった。

〔実施例〕

これに対し、複数個のICチップを厚さ方向に積み重ねる方法が非常に有利であり、種々提案されているが組立枠を用いて、ICチップ(フィルムキャリア装置=TAB)を積み重ね従来の方法においては、組立枠の電極パターンとTABアウトリードの位置合わせは、組立治具に設けられた位置合わせ用ピンに、位置合わせ用穴設けられた組立枠をピンに通して行っている。この為、マルチチップ装置の自動組立が難しいこと、積層時該組立枠と該TABの位置ずれが起こり、アウトリードと組立枠の電極パターンの接合不良、接合端子間短絡及び断線、層間TABの接続不良が発生しやすくなる等の不具合があった。

〔発明が解決しようとする課題〕

本発明の目的は、上記従来の不具合点を除去した半導体装置を提供することにある。

〔課題を解決するための手段〕

上記目的は、フィルムキャリア半導体装置(TAB)を2個以上積み重ねてなるマルチチップ半導体装置において、TABの積層時に一段積層す

以下本発明の一実施例を第1図～第3図により説明する。第1図は本発明によって組立た、マルチチップ半導体装置の斜視図である。第2図は本発明によるマルチチップ半導体装置の組立工程の大略を説明するものであり、第3図は従来技術による組立方法の説明図である。

第1図において、マルチチップ半導体装置1はカプトン等からなるTAB用フィルムに半導体チップをボンディングし、ポッティング樹脂で封止されたフィルムキャリア半導体装置2を、上下両面にスルホールで導通が取られている電極用パターン3が設けられているガラスエポキシ製の組立用枠6に接続し、このものを接着剤で固定しながら、数段積層したものである。

第1図のマルチチップ半導体装置1の組立は大略、つぎの様な手順で行われる。まず第2図(a)に示すガラスエポキシ基板で作られた組立用枠6を吸着手段を有し、縦方向と横方向、高さの移動距離及び回転軸の移動調整が可能な組立手段(ここでは図示せず)で吸着し、所定の位置から、組

立用治具台に移動設置する。次にフィルムキャリア半導体装置1を組立用枠6と同様に、吸引吸着して組立用治具台に固定設置された組立用枠6の上に移動させ、組立用枠6の電極パターン8、8'とフィルムキャリア半導体装置1の電極リード5、5'との位置合わせを行い、パルスヒートボンダーでボンディングし、フィルムキャリア半導体装置1と組立用枠6との接合を行い、第2図(c)に示すようにフィルムキャリア半導体装置1と組立用枠6とを一体化し、一層のマルチチップ半導体装置にする。

次に、所定の場所に保管された、一層のマルチチップ半導体装置を組立用枠6と同じように、該組立手段で吸引吸着し、該組立用治具台に移動設置して固定する。そして、第2図(d)に示すように、電極パターン8、8'の無い方の組立用枠6の一部に紫外線硬化接着剤7、7'を所定量塗布した後に再び、次の一層マルチチップ半導体装置を吸引吸着して、該一層マルチチップ半導体装置の上に移動させ、位置合わせを行い、一段目と二段

目を加圧接触させながら、紫外線を照射し、紫外線硬化させ、両者を貼りあわせる。これをn回繰り返して第2図(e)に示すように逐次積層する。

次に逐次積層したものは電極パターン8、8'と電極リード5、5'の材質に応じた接合プロセスで層間接合を行う。一般的には電極パターンと電極リードの材質は銅下地にAu、Sn、Sn-Pb合金、Ni-Au合金等がめっきにより、メタライズされている。ここでは、層間接合は温度215℃～温度235℃ではんだーはんだの接合を行った。

第3図に示した従来技術の組立方法は位置合わせ用ピン11、11'を有する組立治具10に位置合わせ用孔9、9'が設けられた組立用枠6を位置合わせ用ピン11、11'を通して組立治具10に搭載し、次に位置合わせ用パイロット部3、3'にパイロット孔4、4'が設けられたフィルムキャリア半導体装置2を組立用枠6と同様に搭載する。この動作を積層数に対応して繰り返し、はんだリフロー工程を経ると所望するマルチチップ半導体

装置が得られる。ピンに穴あき部品を挿入する従来技術の組立方法ではフィルムキャリア半導体装置2の位置合わせ用パイロット部の強度が弱いため、ミスマッチによる変形等が起こりやすく、自動挿入が難しい。また、はんだリフロー時、組立用枠6の層間が固定されているために、フィルムキャリア半導体装置2の電極リード5、5'と組立用枠6の電極パターン8、8'の位置ずれ、及び組立用枠6の層間の位置ずれが生じ易い。一方本発明による組立方法では、紫外線硬化接着剤により組立用枠の層間の固定を行うため、位置ずれが起こらない。また、フィルムキャリア半導体装置の位置合わせ用パイロット部が不用になるため、マルチチップ半導体装置の小型化が容易であると共に自動組立が容易に行える。

(発明の効果)

以上述べた如く本発明によれば、マルチチップ半導体装置の自動組立が容易になり、製造時間の短縮、各層間の位置ずれ、電極リードと電極パターンの位置ずれを防止することができ、歩留まり

の良好なマルチチップ半導体装置を得ることが出来る。

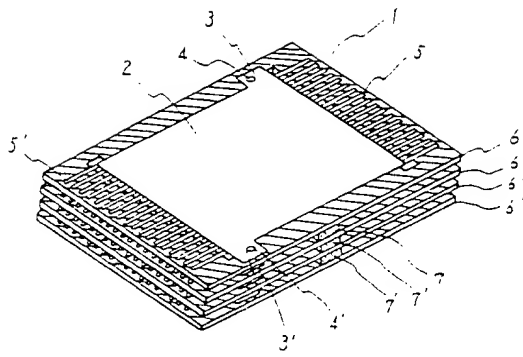
4. 図面の簡単な説明

第1図は本発明になるマルチチップ半導体装置の斜視図、第2図は本発明になるマルチチップ半導体装置の組立方法の説明図、第3図は組立用ピンを用いた従来の組立方法の説明図。

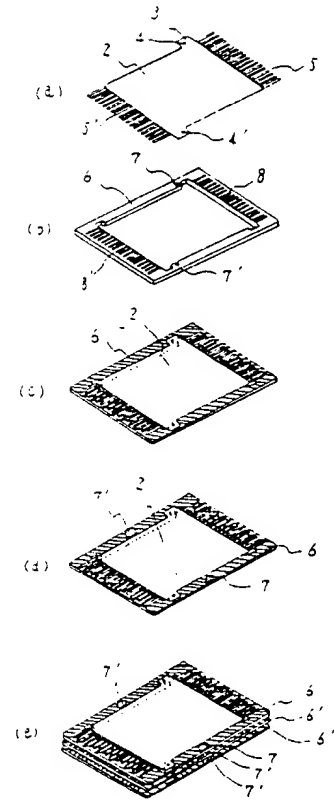
- 1…マルチチップ半導体装置、
- 2…フィルムキャリア半導体装置、
- 3…位置合わせ用パイロット部、
- 4…パイロット孔、
- 5…電極用リード、
- 6…組立枠、
- 7…紫外線硬化接着剤、
- 8…電極用パターン、
- 9…位置合わせ用穴、
- 10…組立治具、
- 11…位置合わせ用ピン。



第 1 図



第 2 図



第 3 図

